

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月12日

出 願 番 号

Application Number:

特願2002-204371

[ST.10/C]:

[JP2002-204371]

出 願 人

Applicant(s):

株式会社デンソー

2003年 6月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051289

【書類名】 特許願

【整理番号】 N020062

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 G05F 1/46

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 二村 澄治

【発明者】

 【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

 【氏名】 伴 博行

【特許出願人】

 【識別番号】 000004260

 【氏名又は名称】 株式会社デンソー

【代理人】

 【識別番号】 100071135

 【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビル

 【弁理士】

 【氏名又は名称】 佐藤 強

 【電話番号】 052-251-2707

【手数料の表示】

 【予納台帳番号】 008925

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9200169

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 入力端子から出力端子への電力伝達経路に介在する主トランジスタと、

出力電圧に応じた検出電圧を出力する電圧検出回路と、

目標電圧に対応した基準電圧を生成する基準電圧生成回路と、

前記検出電圧と前記基準電圧とが一致するように前記主トランジスタを制御する電圧制御回路と、

出力電流を検出する電流検出回路と、

入力電圧が印加された後、当該入力電圧のリングングが低減した状態となった時点で立ち上げ開始信号を出力する遅延制御回路と、

前記立ち上げ開始信号が出力されたことを条件として、出力電流の制限値を時間の経過とともに徐々に上昇させる電流制限値設定回路と、

前記電流検出回路で検出された出力電流と前記電流制限値設定回路で設定された制限値とに基づいて、出力電流が前記制限値を超えないように前記主トランジスタを制御する電流制限回路とを備えて構成されていることを特徴とする電源回路。

【請求項 2】 前記遅延制御回路は、入力電圧が印加された後所定の遅延時間が経過した時に立ち上げ開始信号を出力することを特徴とする請求項 1 記載の電源回路。

【請求項 3】 前記遅延制御回路は、

入力電圧が印加された状態で動作する充電回路と、

その充電電圧と所定のしきい値電圧とを比較して立ち上げ開始信号を出力する比較回路とから構成されていることを特徴とする請求項 2 記載の電源回路。

【請求項 4】 前記遅延制御回路は、

基準クロック信号を出力する発振回路と、

前記基準クロック信号に基づいて動作し、入力電圧が印加された後所定時間が経過した時に立ち上げ開始信号を出力するタイマ回路とから構成されていること

を特徴とする請求項 2 記載の電源回路。

【請求項 5】 前記遅延制御回路は、

印加された入力電圧と所定のしきい値電圧とを比較して比較信号を出力する比較回路と、

前記比較信号が所定時間だけ同一レベルを保持し続けたことを条件として立ち上げ開始信号を出力する定レベル検出回路とから構成されていることを特徴とする請求項 1 記載の電源回路。

【請求項 6】 前記立ち上げ開始信号が出力されるまでの間、前記主トランジスタをオフ状態に制御する遮断回路を備えていることを特徴とする請求項 1 ないし 5 の何れかに記載の電源回路。

【請求項 7】 シリーズレギュレータの回路形態を有し、前記主トランジスタは、前記入力端子から前記出力端子に至る通電経路に介在していることを特徴とする請求項 1 ないし 6 の何れかに記載の電源回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、主トランジスタを制御することにより目標電圧に等しい電圧を出力する電源回路に関する。

【0002】

【発明が解決しようとする課題】

一般に、電源回路にステップ状の入力電圧が印加されると、制御遅れなどに起因して出力電圧にオーバーシュートが発生する。このオーバーシュートは、出力電圧の立ち上がり速度が速いほど、つまり立ち上がり時間が短いほど大きく現れる。このオーバーシュートについては、出力端子に付加された平滑用コンデンサの静電容量を大きくし、出力電圧の立ち上がり速度を低下させることにより抑制することができる。しかし、コンデンサの静電容量を増やすと、コンデンサが大型化し、省スペース化、低コスト化の要求に対応することができないという問題が生じる。そこで、電源立ち上げ時における出力電圧の立ち上がり速度を直接的に制御することにより、コンデンサの静電容量を増やすことなくオーバーシュ-

トの発生を防止する電源回路を実現できる。

【 0 0 0 3 】

しかし、この電源回路を例えば自動車に搭載される ECU (Electronic Control Unit) に適用する場合、以下のような問題が生じる。自動車の ECU は、助手席の下部辺りに設置されることが多く、エンジンルーム内に設置されるバッテリーから当該 ECU までの配線距離は数 m に及ぶ。この配線にはインダクタンス成分が分布して存在しているため、IG (イグニッション) スイッチをオフからオンに切り替えた時、バッテリーから ECU に流れ込む突入電流によって ECU の入力電圧に大きなリングングが重畳する。

【 0 0 0 4 】

出力電圧の立ち上げ途中にリングングが重畳すると、本来単調増加するように制御される出力電圧にもリングングが発生し、負荷回路に悪影響を及ぼす。一例をあげれば、負荷回路がマイコンなどの場合、電源立ち上げ時におけるリセット動作が正常に行われなくなる虞が生じる。

【 0 0 0 5 】

本発明は上記事情に鑑みてなされたもので、その目的は、出力電圧の立ち上がり速度を制御するものであって、その立ち上げ時に出力電圧に現れるリングングを低減可能な電源回路を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

請求項 1 に記載した手段によれば、電圧制御回路は、出力電圧の検出電圧と目標電圧に対応した基準電圧とが一致するように主トランジスタを制御するので、電源立ち上げ時を除いて出力電圧は目標電圧に等しくなる。また、この電圧追従制御とともに、電流制限回路は、出力電流が制限値を超えないように主トランジスタを制御するので、過負荷などに起因して制限値を超える出力電流が流れることを防止できる。この電流制限制御は前記電圧追従制御に優先して行われる。

【 0 0 0 7 】

電流制限値設定回路は、入力電圧が印加された後、入力電圧のリングングが低減した状態となった時点で、出力電流の制限値を時間の経過とともに徐々に上昇

させるので、電流制限値の上昇に従って出力電圧が上昇する時に、前記入力電圧のリングングに応じて出力電圧に現れる電圧変動（リングング）が小さくなる。これにより、立ち上げ時の出力電圧に基づいてリセット動作を行う負荷回路に対しても電源供給が可能となる。

【 0 0 0 8 】

請求項 2 に記載した手段によれば、リングングの減衰に要する時間を遅延時間として設定し、遅延制御回路は、入力電圧が印加された後その遅延時間が経過した時に立ち上げ開始信号を出力するので、立ち上げ時におけるリングングに対応した出力電圧の変動（リングング）が小さくなる。

【 0 0 0 9 】

請求項 3 に記載した手段によれば、入力電圧が印加されると充電回路における充電動作が開始され、その充電電圧が所定のしきい値電圧以上となった時に出力電圧の立ち上げが開始される。

【 0 0 1 0 】

請求項 4 に記載した手段によれば、タイマ回路は、発振回路から出力される基準クロック信号に基づいて動作し、入力電圧が印加された後所定時間を計時する。この計時動作が終了すると、出力電圧の立ち上げが開始される。

【 0 0 1 1 】

請求項 5 に記載した手段によれば、入力電圧が印加された時、その入力電圧と所定のしきい値電圧との比較信号が変動する間はリングングが発生しており、比較信号のレベルが所定時間だけ同一レベルを保持し続けた時にリングングが低減したとして出力電圧の立ち上げが開始される。本手段によれば、入力電圧の電圧変動状態を直接検出しているので、リングングの低減を確実に検出でき、無駄な遅延時間を待つ必要がなくなる。

【 0 0 1 2 】

請求項 6 に記載した手段によれば、入力電圧が印加された過渡時であっても、立ち上げ開始信号が出力されるまでの間、主トランジスタを確実にオフ駆動できる。

【 0 0 1 3 】

請求項 7 に記載した手段によれば、電源回路はシリーズレギュレータの回路形態を有し、電流制限回路は主トランジスタを通して出力端子から出力される電流を制限する。

【 0 0 1 4 】

【発明の実施の形態】

(第 1 の実施形態)

以下、本発明の第 1 の実施形態について図 1 ないし図 4 を参照しながら説明する。

図 1 は、自動車用エンジン ECU の電氣的構成のうち特にシリーズレギュレータ方式の電源回路に関して詳細に示したものである。ECU 1 の入力端子 1 a には、IG (イグニッション) スイッチ 3 を介してバッテリー 2 の正極端子が接続されるようになっており、端子 1 c、1 b には、それぞれバッテリー 2 の正極端子、負極端子が接続されるようになっている。以下の説明においては、端子 1 a に入力されるバッテリー電圧を V B で表し、端子 1 c に入力されるバッテリー電圧を V B A T T で表すものとする。

【 0 0 1 5 】

ECU 1 は、図 3 に示す種々の回路ブロックを備えている。この図 3 において太線で囲まれた回路すなわち電源回路 4、バッファ回路／インターフェース回路 5、ランプ・リレー駆動回路 6、噴射制御回路 7、電磁バルブ駆動回路 8 およびヒータ駆動回路 9 は、バッテリー電圧 V B を電源電圧として動作するようになっている。これらの回路 (電源回路 4 を除く) は、図 1 において端子 1 a、1 b 間に接続された負荷回路 1 3 として示している。また、図 3 において細線で囲まれた回路すなわち CPU 周辺回路 1 0、センサ回路 1 1 およびアナログスイッチ回路 1 2 は、電源回路 4 から 5 V の電圧供給を受けて動作するようになっている。これらの回路は、図 1 において電源回路 4 の出力端子 1 4 a、1 4 b 間に接続された負荷回路 1 5 として示している。

【 0 0 1 6 】

図 1 において、端子 1 a と端子 1 b との間、端子 1 c と端子 1 b との間および端子 1 4 a と 1 4 b との間には、それぞれ平滑用 (フィルタ用) のコンデンサ C

1、C 2、C 3 が接続されている。端子 1 a と端子 1 4 a との間の通電経路（電力伝達経路）には、抵抗 R 1（電流検出回路に相当）と P N P 形トランジスタ Q 1（主トランジスタに相当）のエミッタ・コレクタ間とが直列に接続されており、このトランジスタ Q 1 は I C 1 6 によって制御されるようになっている。

【 0 0 1 7 】

この I C 1 6 において、端子 1 4 a に接続された I C 1 6 の端子 1 6 a と I C 1 6 内のグランド線 1 7 との間には、分圧用の抵抗 R 2 と R 3 との直列回路からなる電圧検出回路 1 8 が接続されている。抵抗 R 2 と R 3 との共通接続点には、出力電圧 V o を分圧した検出電圧 V a が現れる。

【 0 0 1 8 】

バンドギャップ基準電圧回路などから構成される基準電圧発生回路 1 9（基準電圧生成回路に相当）は、目標電圧（5 V）に対応した一定の基準電圧 V r 1 を生成するもので、オペアンプ 2 0（電圧制御回路に相当）の非反転入力端子および反転入力端子にはそれぞれ基準電圧 V r 1 および検出電圧 V a が入力されるようになっている。

【 0 0 1 9 】

トランジスタ Q 1 のベースに接続された I C 1 6 の端子 1 6 b とグランド線 1 7 との間には、N P N 形トランジスタ Q 2 のコレクタ・エミッタ間が接続されており、そのベースはオペアンプ 2 0 の出力端子に接続されている。トランジスタ Q 2 のベースとグランド線 1 7 との間には、N P N 形トランジスタ Q 3 と Q 4 の各コレクタ・エミッタ間が並列に接続されている。

【 0 0 2 0 】

抵抗 R 1 の入力側端子は、I C 1 6 の端子 1 6 c および抵抗 R 4 を介してコンパレータ 2 1（電流制限回路に相当）の非反転入力端子に接続されており、抵抗 R 1 の出力側端子は、I C 1 6 の端子 1 6 d を介してコンパレータ 2 1 の反転入力端子に接続されている。コンパレータ 2 1 の出力端子は、上記トランジスタ Q 3 のベースに接続されている。

【 0 0 2 1 】

立ち上げ制御回路 2 2 は、I G スイッチ 3 がオフからオンにされた時の電源回

路 4 の立ち上げ速度を制御するものであって、IC 16 の端子 16 e、16 f を介して常時与えられているバッテリー電圧 VBATT により動作するようになっている。この立ち上げ制御回路 22 は、抵抗 R 4 に段階的に増加する基準電流を流すための基準電流生成回路 23 と、この基準電流生成回路 23 に対する切替信号 S 1 ～ S 4 および上記トランジスタ Q 4 に対する制御信号 S d（立ち上げ開始信号に相当）を生成する信号制御回路 24 とから構成されている。

【 0 0 2 2 】

基準電流生成回路 23 は、コンパレータ 21 の非反転入力端子とグランド線 17 との間に、定電流回路 25 a（または 25 b、25 c、25 d）とアナログスイッチ 26 a（または 26 b、26 c、26 d）との直列回路が 4 系統並列に接続された回路形態を有している。定電流回路 25 a ～ 25 d が出力する基準電流 I 1 ～ I 4 は全て等しい値 I a に設定されており、上記直列回路の並列数は、立ち上げ時における基準電流の変化段数に等しい。上記切替信号 S 1 ～ S 4 が H レベルになると、それぞれアナログスイッチ 26 a ～ 26 d がオンするようになっている。

【 0 0 2 3 】

信号制御回路 24 には、図 2 に示す制御信号生成回路 27（遅延制御回路に相当）が設けられている。この制御信号生成回路 27 は、コンデンサの充電時間を利用して上記制御信号 S d を生成するもので、定電流回路 28 とコンデンサ 29 との直列回路からなる充電回路 30 と、コンデンサ 29 の両端子間に接続された放電用のスイッチ回路 31 と、基準電圧 Vr2 を生成する基準電圧発生回路 32 と、コンデンサ 29 の端子電圧と基準電圧 Vr2 とを比較するコンパレータ 33（比較回路に相当）とから構成されている。なお、定電流回路 28 は I G スイッチ 3 がオンしている時だけ定電流を出力するようになっており、スイッチ回路 31 は I G スイッチ 3 がオフしている時だけオンするようになっている。

【 0 0 2 4 】

さらに、信号制御回路 24 には、切替信号 S 1 ～ S 4 を生成するためのタイマ回路（図示せず）が設けられている。制御信号 S d が H レベルになると、まず切替信号 S 1 が L レベルから H レベルとなり、その後タイマ回路が一定時間 T を計

時するごとに切替信号 S 2、S 3、S 4 が順次 L レベルから H レベルに変化するようにになっている。このタイマ回路と基準電流生成回路 2 3 とが、本発明でいう電流制限値設定回路に相当する。

【 0 0 2 5 】

次に、電源回路 4 の動作について図 4 も参照しながら説明する。

図 4 (a)、(b) は、I G スイッチ 3 をオフからオンにした電源立ち上げ時における各部の波形を示している。図 4 (a) は、本実施形態の電源回路 4 に関する波形で、図 4 (b) は、電源回路 4 から制御信号生成回路 2 7 とトランジスタ Q 4 を除いた構成に関する波形である。波形は、上からバッテリー電圧 V B、出力電圧 V o、抵抗 R 1 に流れる電流 I vb、切替信号 S 1、S 2、S 3、S 4 および制御信号 S d (図 4 (a) のみ) を表している。

【 0 0 2 6 】

E C U 1 は自動車の車室内に設置されることが多く、エンジンルーム内に設置されるバッテリー 2 との配線距離が長くなり易い。配線にはインダクタンス成分が分布して存在しているため、I G スイッチ 3 がオフからオンに切り替えられた時、バッテリー 2 からコンデンサ C 1、C 2 に流れ込む突入電流によってバッテリー電圧 V B に大きなリングングが重畳する。このリングングは、時間の経過とともに徐々に小さくなる。

【 0 0 2 7 】

I G スイッチ 3 がオフの時、制御信号生成回路 2 7 においてスイッチ回路 3 1 がオンしており、コンデンサ 2 9 の端子電圧が 0 V となるため、制御信号 S d は H レベルとなっている。これにより、トランジスタ Q 4 がオン、トランジスタ Q 2 と Q 1 がオフした状態となり、電源回路 4 は電圧出力を停止している。また、この時、切替信号 S 1 ~ S 4 は全て L レベルとなっている。

【 0 0 2 8 】

図 4 (a) において、時刻 t 1 で I G スイッチ 3 がオフからオンになると、制御信号生成回路 2 7 においてスイッチ回路 3 1 がオフするとともに、定電流回路 2 8 が定電流の出力を開始する。その結果、コンデンサ 2 9 の充電が開始され、やがて遅延時間 T d が経過した時刻 t 2 においてコンデンサ 2 9 の端子電圧が基

準電圧 V_{r2} を超え、制御信号 S_d が H レベルから L レベルに変化する。バッテリー電圧 V_B に重畳するリングングの減少特性は予め予測することができるため、上記遅延時間 T_d は、以下に説明する制限電流の段階的上昇に伴って出力電圧 V_o の単調増加性が保証されるような時間に設定されている。

【0029】

制御信号 S_d が L レベルになると、信号制御回路 24 は切替信号 S_1 を L レベルから H レベルにする。これにより、トランジスタ Q_4 がオフ、トランジスタ Q_2 と Q_1 がオン状態となる。また、抵抗 R_4 に定電流回路 25a の基準電流 I_1 が流れ、電流 I_{vb} は、コンパレータ 21 による電流制限制御により以下の (1) 式で示す制限電流値になる。その結果、出力電圧 V_o は、電流 I_{vb} に応じた値（負荷回路 15 に依存する）にまで上昇する。

【0030】

$$\begin{aligned} I_{vb} &= I_1 \cdot R_4 / R_1 \\ &= I_a \cdot R_4 / R_1 \end{aligned} \quad \dots (1)$$

【0031】

その後、信号制御回路 24 は、時刻 t_2 から時間 T が経過するごとに、つまり時刻 t_3 、 t_4 、 t_5 において、切替信号 S_2 、 S_3 、 S_4 を順次 L レベルから H レベルにする。これにより、電流 I_{vb} は、コンパレータ 21 による電流制限制御により、以下の (2) 式～(4) 式で示す電流値に制限された状態で順次増加し、それに伴って出力電圧 V_o も徐々に上昇する。

【0032】

$$\begin{aligned} I_{vb} &= (I_1 + I_2) \cdot R_4 / R_1 \\ &= 2 \cdot I_a \cdot R_4 / R_1 \end{aligned} \quad \dots (2)$$

$$\begin{aligned} I_{vb} &= (I_1 + I_2 + I_3) \cdot R_4 / R_1 \\ &= 3 \cdot I_a \cdot R_4 / R_1 \end{aligned} \quad \dots (3)$$

$$\begin{aligned} I_{vb} &= (I_1 + I_2 + I_3 + I_4) \cdot R_4 / R_1 \\ &= 4 \cdot I_a \cdot R_4 / R_1 \end{aligned} \quad \dots (4)$$

【0033】

すなわち、電源回路 4 は、IG スイッチ 3 がオフからオンになっても直ちには

電源立ち上げ動作を行わず、バッテリー電圧 V_B に重畳するリングングが減少するまでの時間 T_d だけ待った後電源立ち上げ動作を開始する。段階的な立ち上げ動作中にあるのは、オペアンプ20による定電圧制御ではなくコンパレータ21による電流制限制御が機能している。このため、出力電圧変動のフィードバック制御が直接的に行われない状態となっており、入力されるバッテリー電圧 V_B により出力電圧 V_o が変動し易い。

【0034】

本実施形態では、電源立ち上げ動作の開始時には既にバッテリー電圧 V_B に重畳するリングングが減少しているため、リングングに伴う出力電圧 V_o の変動（リングング）が十分に小さくなり、出力電圧 V_o の単調増加が保証される。負荷回路15にはCPU周辺回路10が含まれており、そのCPU周辺回路10は出力電圧 V_o に基づくりセット回路を備えている。このリセット回路は、例えば出力電圧 V_o が3Vを超えるとリセット状態を解除し、4Vを超えると外部メモリなどへのアクセスを許可するようリセット信号を出力する。電源立ち上げ時において出力電圧 V_o の単調増加が保証されるため、上記リセット回路は正常なリセット信号を出力することができる。

【0035】

一方、遅延制御を行わない図4（b）においては、IGスイッチ3をオンにした直後から切替信号 $S_1 \sim S_4$ が順次Hレベルに切り替わり、制限電流の段階的な増加が開始される。このため、バッテリー電圧 V_B に大きなリングングが重畳している間に出力電圧 V_o が増加することとなり、出力電圧 V_o にリングングによる出力変動（リングング）が生じ易くなる。

【0036】

以上説明したように、本実施形態の電源回路4によれば、電源立ち上げ時にバッテリー電圧 V_B に重畳するリングングに応じて生じる出力電圧変動が小さくなってその単調増加性が保証されるので、負荷回路15の立ち上げ動作や初期化動作が正常に行われる。また、遅延時間 T_d をより長く設定することにより、コンデンサ C_1 の静電容量を低減することができ、電源回路4の小形化、低コスト化を図ることができる。さらに、遅延時間 T_d が経過するまでの間、トランジスタQ

4 がトランジスタ Q 2、Q 1 を遮断状態に制御するので、バッテリー電圧 V B 投入時の過渡状態にあっても電源回路 4 の電圧出力動作を確実に停止させることができる。

【 0 0 3 7 】

また、立ち上げ時に電流 I_{vb} は一定時間 T ごとに一定電流 I_a ずつ段階的に上昇が許可されるので、出力電圧 V_o も制限電流の増加に従って徐々に増加し、出力電圧 V_o が目標電圧 5 V に達した時のオーバーシュートが低減する。これにより、コンデンサ C 3 の静電容量を低減することができ、コンデンサ C 3 にチップタイプのコンデンサを使用して電源回路 4 の小形化、低コスト化することができる。

【 0 0 3 8 】

(第 2 の実施形態)

本実施形態では、遅延制御回路として制御信号生成回路 2 7 に替えて図 5 に示す制御信号生成回路 3 4 を用いている。この図 5 において、図 2 と同一構成部分には同一符号を付して示している。この制御信号生成回路 3 4 も、コンデンサの充電時間を利用して制御信号 S d を生成するもので、抵抗 3 5 とコンデンサ 2 9 との直列回路からなる充電回路 3 6 と、スイッチ回路 3 1 と、基準電圧発生回路 3 2 と、コンパレータ 3 3 とから構成されている。充電回路 3 6 は、端子 1 a と端子 1 b との間に接続されている。

【 0 0 3 9 】

この構成において、I G スイッチ 3 がオフからオンになると、スイッチ回路 3 1 がオフするとともに抵抗 3 5 を介してコンデンサ 2 9 の充電が開始され、やがて遅延時間 T d が経過した時にコンデンサ 2 9 の端子電圧が基準電圧 V_{r2} を超え、制御信号 S d が H レベルから L レベルに変化する。この制御信号 S d を用いても、電源の立ち上げについて第 1 の実施形態と同様の作用、効果を得られる。

【 0 0 4 0 】

(第 3 の実施形態)

本実施形態では、遅延制御回路として制御信号生成回路 2 7 に替えて図 6 に示す制御信号生成回路 3 7 を用いている。この制御信号生成回路 3 7 は、 배터리

電圧VBATTにより動作し、発振回路38とその発振クロックを基準クロックとして動作するタイマ回路39とから構成されている。IGスイッチ3がオフの時、タイマ回路39はHレベルの制御信号Sdを出力しており、IGスイッチ3がオフからオンになると、タイマ回路39は予め設定されている時間を計時した後制御信号SdをHレベルからLレベルにする。この制御信号Sdを用いても、電源の立ち上げについて第1の実施形態と同様の作用、効果を得られる。

【0041】

(第4の実施形態)

本実施形態では、遅延制御回路として制御信号生成回路27に替えて図7に示す制御信号生成回路40を用いている。この制御信号生成回路40は、バッテリー電圧VBのリングングを直接検出することにより制御信号Sdを生成するもので、基準電圧Vr3を生成する基準電圧発生回路41と、バッテリー電圧VBと基準電圧Vr3とを比較するコンパレータ42（比較回路に相当）と、フィルタ回路43（定レベル検出回路に相当）とから構成されている。

【0042】

基準電圧Vr3はバッテリー電圧VBの定常値（平均値）に近い値に設定されているので、バッテリー電圧VBのリングングが大きい間、コンパレータ42の出力信号が変化し続ける。フィルタ回路43は、コンパレータ42の出力信号を一定周期で入力しており、その出力信号が所定時間だけ同一レベルを保持し続けた時点で制御信号SdをHレベルからLレベルにする。この制御信号Sdを用いても、電源の立ち上げについて第1の実施形態と同様の作用、効果を得られる。また、制御信号生成回路40はバッテリー電圧VBの電圧変動状態を直接検出しているので、リングングが低減した状態を確実に検出でき、無駄な遅延時間を待つ必要がなくなる。

【0043】

(その他の実施形態)

なお、本発明は上記し且つ図面に示す各実施形態に限定されるものではなく、例えば以下のように変形または拡張が可能である。

本発明は、リニアレギュレータ、チョップパ型スイッチングレギュレータ、コン

バータ型スイッチングレギュレータなどの電源回路に広く適用できる。この場合の主トランジスタは、入力端子から出力端子への電力伝達経路に介在し、電圧制御回路または電流制限回路からの指令信号に従って入力端子から出力端子へ送られる電力を主体的に制御するトランジスタである。

【 0 0 4 4 】

立ち上げ制御回路 2 2 は、電源立ち上げ時に電流 I_{vb} の制限値を一定時間ごとに一定電流ずつ段階的に上昇させたが、各段階ごとの電流制限値の変化幅および時間幅は互いに異なっても良い。制限値の変化段数は 4 段階でなくとも良く、一般には各段階ごとの電流制限値の変化幅を小さくするほどオーバーシュートを低減できる。また、出力電流の制限値を段階的ではなく連続的に上昇させても良い。これにより、オーバーシュートをより一層低減することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態を示す電源回路の電氣的構成図

【図 2】

制御信号生成回路の電氣的構成図

【図 3】

E C U に設けられた回路ブロックを示す図

【図 4】

電源回路の動作波形図

【図 5】

本発明の第 2 の実施形態を示す図 2 相当図

【図 6】

本発明の第 3 の実施形態を示す図 2 相当図

【図 7】

本発明の第 4 の実施形態を示す図 2 相当図

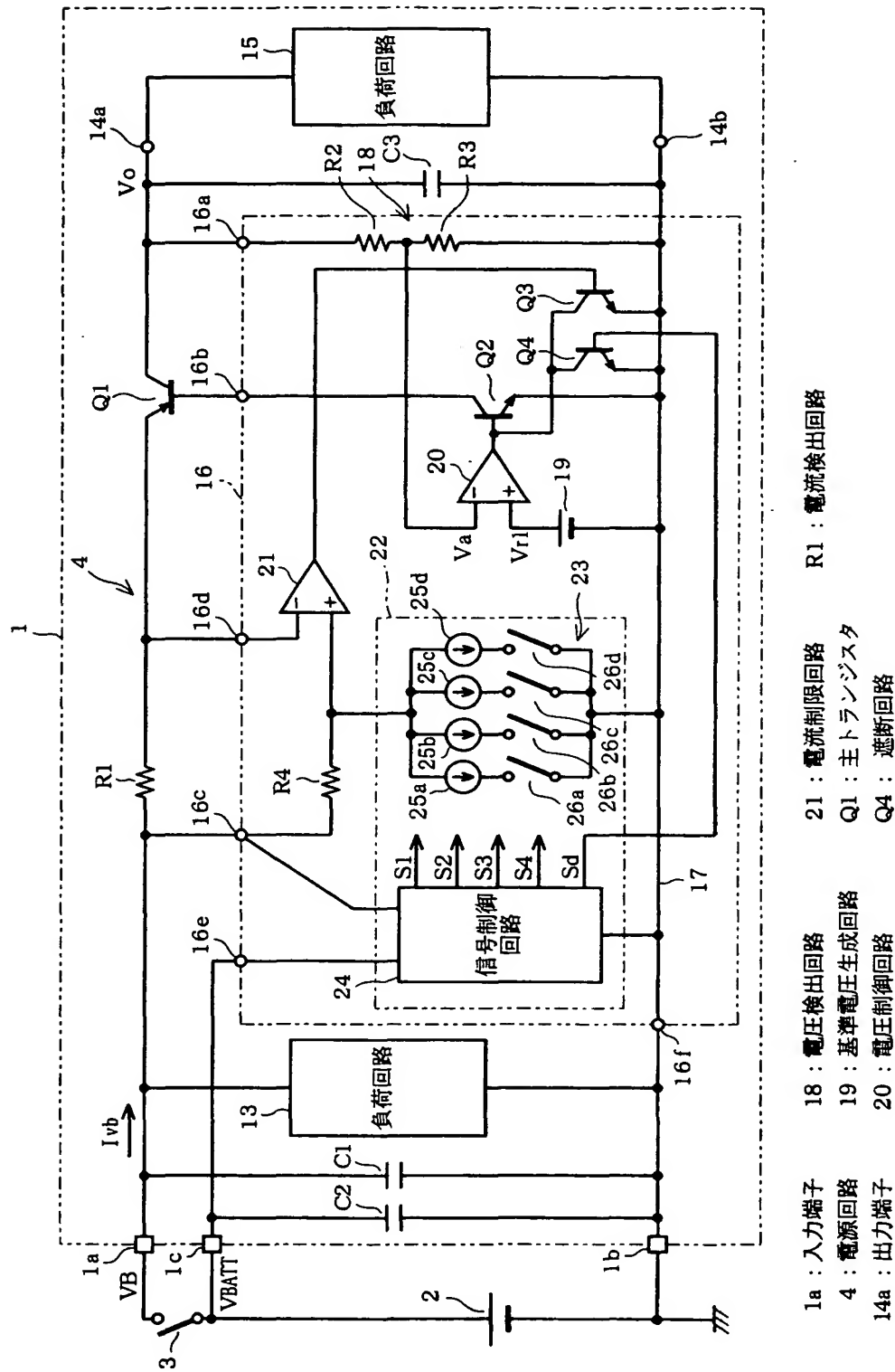
【符号の説明】

1 a は端子（入力端子）、4 は電源回路、1 4 a は端子（出力端子）、1 8 は電圧検出回路、1 9 は基準電圧発生回路（基準電圧生成回路）、2 0 はオープン

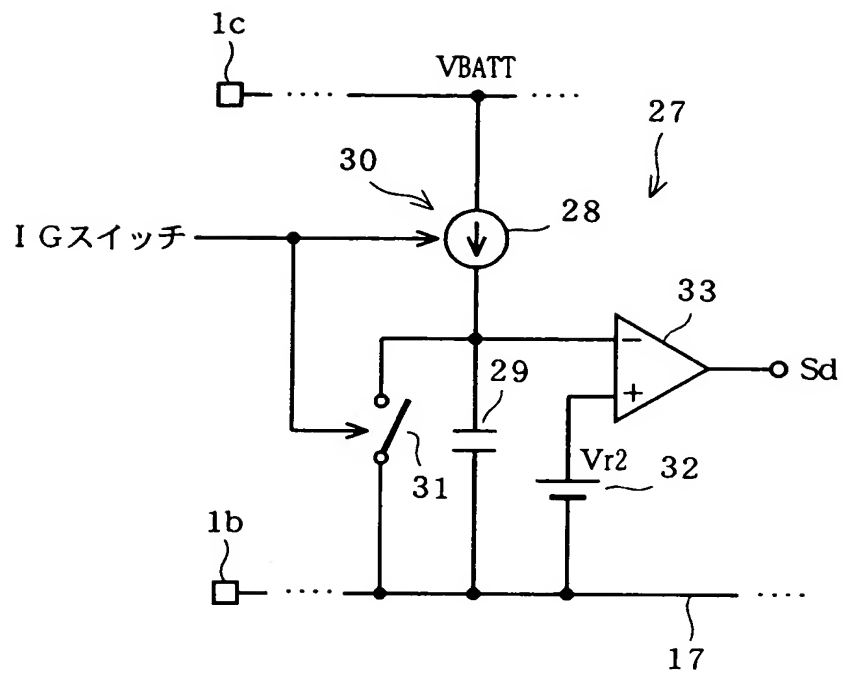
プ（電圧制御回路）、21はコンパレータ（電流制限回路）、27、34、37、40は制御信号生成回路（遅延制御回路）、30、36は充電回路、33、42はコンパレータ（比較回路）、43はフィルタ回路（定レベル検出回路）、Q1はトランジスタ（主トランジスタ）、Q4はトランジスタ（遮断回路）、R1は抵抗（電流検出回路）である。

【書類名】 図面

【図 1】



【図 2】

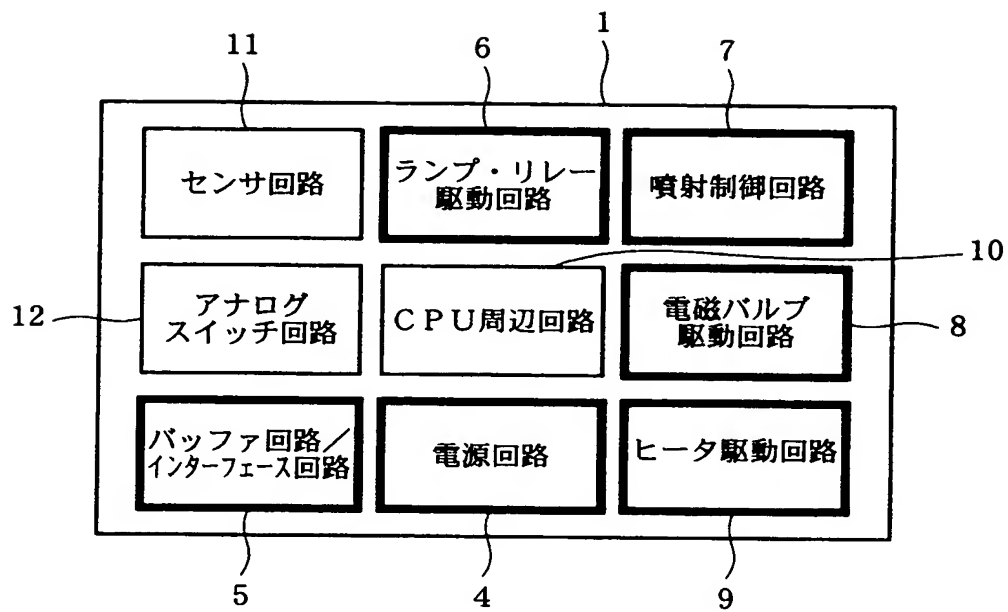


27 : 遅延制御回路

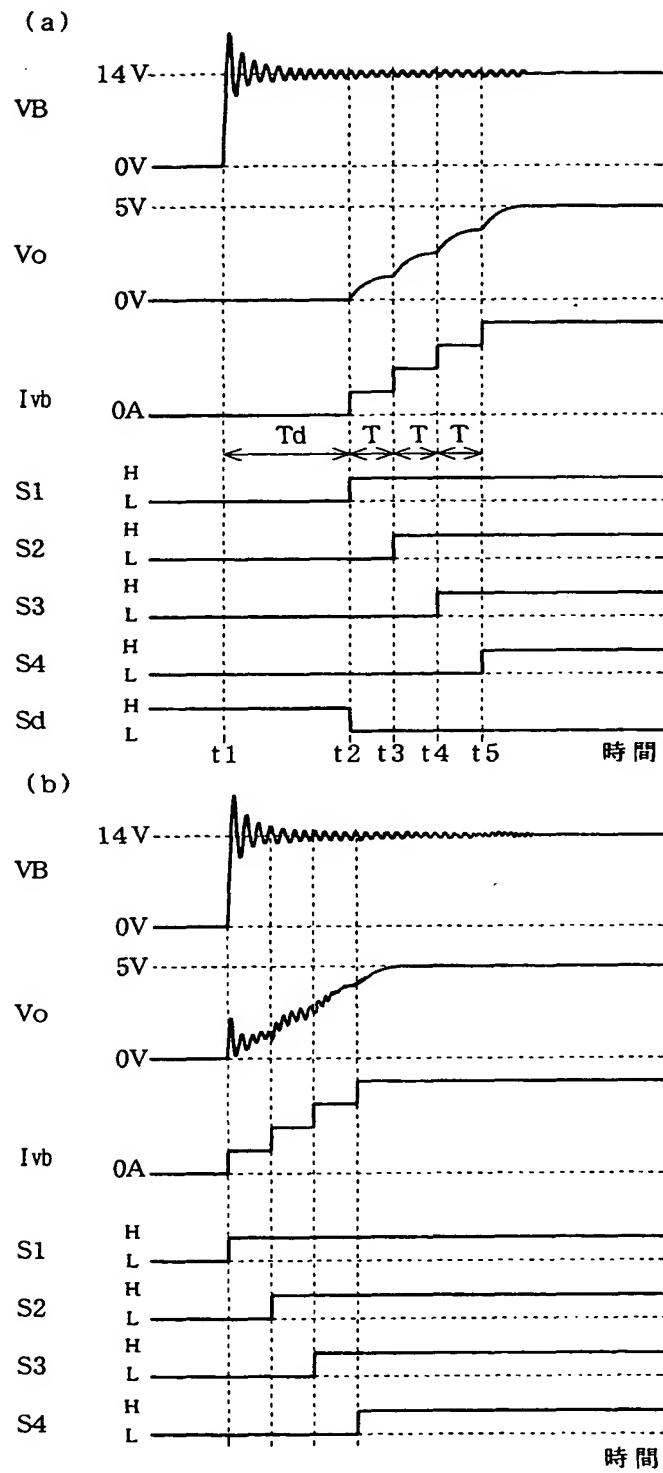
30 : 充電回路

33 : 比較回路

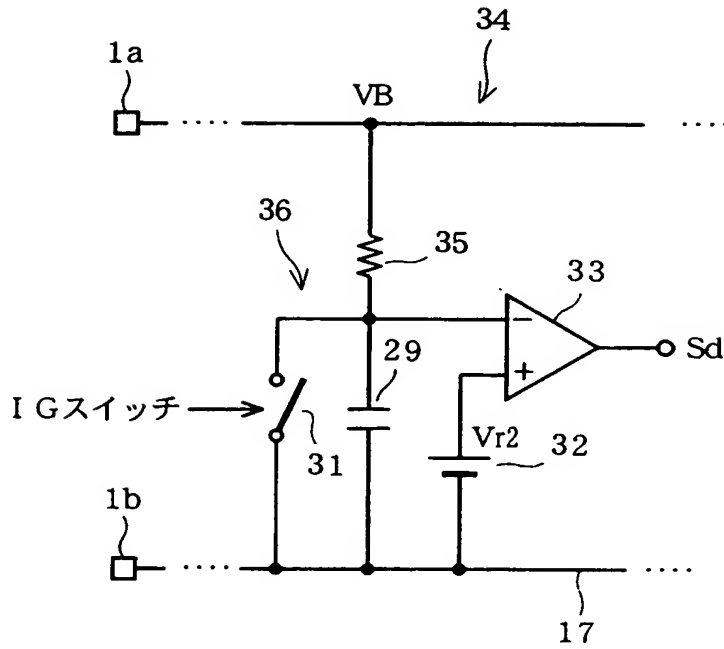
【図 3】



【図 4】



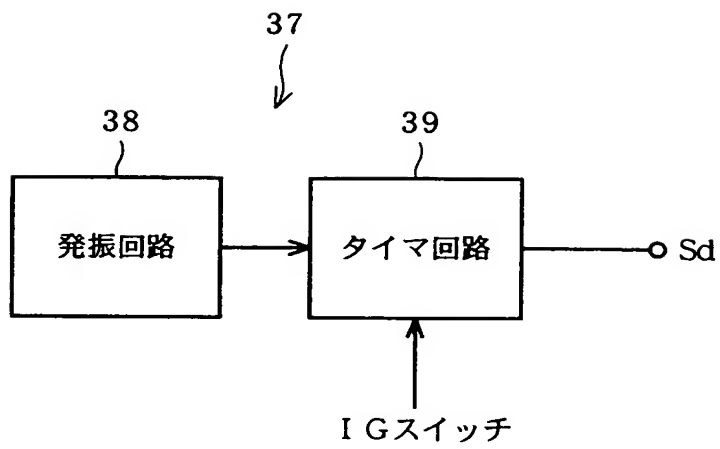
【図 5】



34 : 遅延制御回路

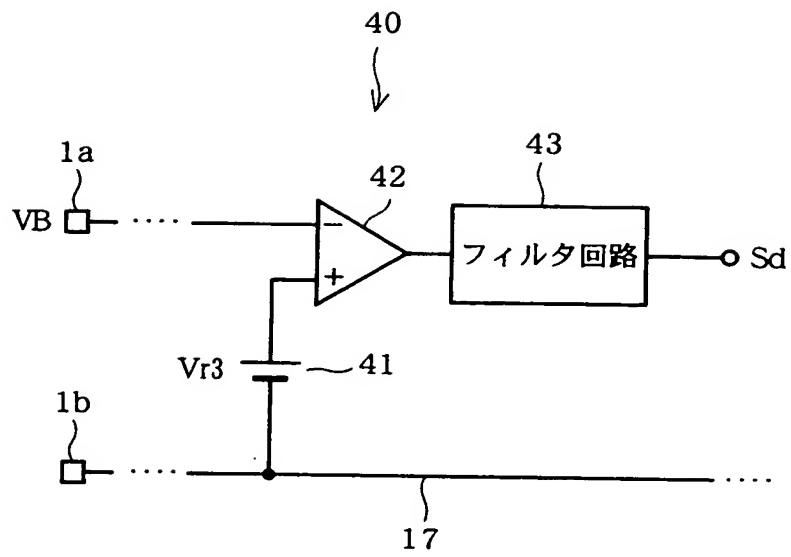
36 : 充電回路

【図 6】



37 : 遅延制御回路

【図 7】



- 40 : 遅延制御回路
- 42 : 比較回路
- 43 : 定レベル検出回路

【書類名】 要約書

【要約】

【課題】 立ち上げ時に出力電圧に現れるリングングを低減する。

【解決手段】 I Gスイッチ 3 がオンになると、信号制御回路 2 4 は遅延時間 T_d が経過した後に制御信号 S_d を H から L にし、切替信号 S_1 を L から H にする。遅延時間 T_d は、バッテリー電圧 V_B に重畳するリングングが減少する時間に設定されている。これにより、抵抗 R_4 に定電流回路 2 5 a の基準電流 I_1 が流れ、電流 I_{vb} はコンパレータ 2 1 による電流制限制御により $I_1 \cdot R_4 / R_1$ なる電流値になる。その後、時間 T が経過するごとに切替信号 S_2 、 S_3 、 S_4 が順次 L から H になって制限電流値が段階的に増加し、それに伴って出力電圧 V_o も徐々に上昇する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004260]

1. 変更年月日	1996年10月 8日
[変更理由]	名称変更
住 所	愛知県刈谷市昭和町1丁目1番地
氏 名	株式会社デンソー